



PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>TRANSMITTAL FORM</b> (to be used for all correspondence after initial filing)		Application Number	10/751,198
		Filing Date	12/30/2003
		First Named Inventor	Kyung Hee KOH
		Art Unit	
		Examiner Name	
Total Number of Pages in This Submission	19	Attorney Docket Number	PIA31224/DBE/US

ENCLOSURES (Check all that apply)		
<input type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input checked="" type="checkbox"/> Other Enclosure(s) (please identify below):
<b>Remarks</b> 1. Claim for Priority 2. Return Receipt Postcard		
<b>SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT</b>		
Firm or Individual name	Andrew D. Fortney, Ph.D., Reg. No. 34,600	
Signature		
Date	January 27, 2004	

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name	Andrew D. Fortney, Ph.D.		
Signature		Date	January 27, 2004

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



U.S. Docket No. PIA31224/DBE/US

IN THE UNITED STATES PATENT & TRADEMARK OFFICE

IN RE APPLICATION OF:

:

Kyung Hee KOH

: GROUP ART UNIT:

SERIAL NO: 10/751,198

:

FILED: December 30, 2003

: EXAMINER:

FOR: Method for Packaging a Multi-Chip Module of a Semiconductor Device

I hereby certify that this document is being deposited with the United States Postal Service as first class mail in an envelope addressed to Commissioner for Patents, Washington, D.C. 20231, on January 27, 2004.

By:

Andrew D. Fortney

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119(a)-(b) AND 37 C.F.R. 1.55

COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

Applicant respectfully requests under the Paris Convention for the Protection of Intellectual Property the benefit of the filing date of the prior foreign application(s) identified below:

<u>Serial No.</u>	<u>Filing Date</u>	<u>Country of Filing</u>
10-2002-0086244	December 30, 2002	Republic of KOREA

A certified copy of the above-identified priority application is attached.

Respectfully submitted,

Andrew D. Fortney, Ph.D.  
Reg. No. 34,600

7257 N. Maple Avenue, Bldg. D, #107  
Fresno, California 93720  
(559) 299 - 0128



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0086244  
Application Number

출원 년 월 일 : 2002년 12월 30일  
Date of Application DEC 30, 2002

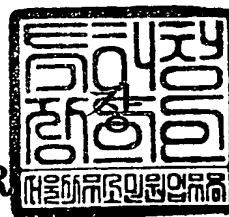
출원인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 12 월 24 일

특 허 청

COMMISSIONER





919980005148



10111010000000000000



0000029000

방식 심사 란	담 당	심 사 관

【서류명】 특허출원서

【권리구분】 특허

【수신처】 특허청장

【참조번호】 0034

【제출일자】 2002. 12. 30

【발명의 국문명칭】 반도체용 멀티 칩 모듈의 패키징 방법

【발명의 영문명칭】 PACKAGING METHOD OF MULTI CHIP MODULE FOR SEMICONDUCTOR

【출원인】

【명칭】 동부전자 주식회사

【출원인코드】 1-1998-106725-7

【대리인】

【성명】 장성구

【대리인코드】 9-1998-000514-8

【포괄위임등록번호】 1999-059722-7

【대리인】

【성명】 김원준

【대리인코드】 9-1998-000104-8

【포괄위임등록번호】 1999-059725-9

【발명자】

【성명의 국문표기】 고경희

【성명의 영문표기】 KOH, KYUNG HEE

【주민등록번호】 630704-1255419

【우편번호】 153-832

【주소】 서울특별시 금천구 독산2동 1069번지 호정타워아파트 1304호

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다.

대리인 장성구 (인)

대리인 김원준 (인)

【수수료】

【기본출원료】	16	면	29,000	원
---------	----	---	--------	---

【가산출원료】	0	면	0	원
---------	---	---	---	---

【우선권 주장료】	0	건	0	원
-----------	---	---	---	---

【심사청구료】	0	항	0	원
---------	---	---	---	---

【합계】			29,000	원
------	--	--	--------	---

【첨부서류】 1.요약서·명세서(도면)\_1통

## 【요약서】

### 【요약】

본 발명은 반도체용 멀티 칩 모듈의 패키징 방법에 관한 것으로, 웨이퍼 범프가 형성된 제 1 칩을 내부 리드와 외부 리드가 형성된 TAB 테이프의 내부 리드 하단에 전기적 신호가 도통되도록 연결하는 단계와, 웨이퍼 범프가 형성된 제 2 칩을 제 1 칩과 연결된 TAB 테이프의 상단에 전기적 신호가 도통되도록 플립 칩 공정으로 연결하는 단계와, TAB 테이프와 칩의 연결 부위에 언더필 재료의 주입을 통한 인캡슐레이션 공정을 수행하는 단계를 포함하며, 양면 플립 칩 공정을 적용하여 표면실장 패키지 모듈의 칩 스케일 패키지가 실현 가능하며, 칩의 모든 본드 패드를 한번에 본딩할 수 있고 테이프 상태에서 전기적 테스트 및 B/I 테스트가 가능하여 수율이 향상되는 이점이 있다.

### 【대표도】

도 4

## 【명세서】

### 【발명의 명칭】

반도체용 멀티 칩 모듈의 패키징 방법{PACKAGING METHOD OF MULTI CHIP  
MODULE FOR SEMICONDUCTOR}

### 【도면의 간단한 설명】

- <1> 도 1 내지 도 6은 본 발명에 따른 반도체용 멀티 칩 모듈의 패키징 과정을  
설명하기 위한 단면도.
- <2> <도면의 주요 부분에 대한 부호의 설명>
- <3> 110, 130, 170, 190 : 칩                      111, 131, 171, 191 : 웨이퍼 범프
- <4> 120, 180 : TAB 테이프                      121 : 베이스 필름
- <5> 122 : 금속 포일                              122a : 내부 리드
- <6> 122b : 외부 리드                              140 : 언더필 재료
- <7> 150 : PCB 기판                              160 : 방열체

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <8> 본 발명은 반도체용 멀티 칩 모듈의 패키징 방법에 관한 것으로, 더욱 상세  
하게는 양면 플립 칩(Flip Chip) 공정을 적용하여 표면실장 패키지 모듈의 칩 스케  
일 패키지(Chip Scale Package)를 실현하도록 한 반도체용 멀티 칩 모듈의 패키징  
방법에 관한 것이다.



<9>                실리콘 웨이퍼에 가공된 칩을 외부환경으로부터 보호하고 회로 부품, 기판과 연결시켜 주는 반도체 패키징 기술은 눈부신 발전을 거듭하고 있으며, 삽입 실장형 패키지 기술인 듀얼 인라인 패키지(DIP)는 오래 전에 사라졌고 스몰 아웃라인 패키지(SOP), 쿼드 플랫 패키지(QFP), 신SOP(TSOP), 페이퍼 신 패키지(PTP) 등의 표면 실장(Surface Mount) 패키지가 주를 이루고 있다.

<10>              한편, 반도체 장치는 날로 경박단소화 되어가고 고밀도화 되어 가는 추세에 있으며, 이에 대응하고자 상기와 같은 표면실장 패키지를 모듈화하기 위한 패키징 기술이 지속적으로 연구되고 있다.

<11>              그러나, 표면실장 패키지 모듈은 경박단소화의 실현에 있어서 어려움이 따르며, 이에 따라 칩과 패키지의 크기가 거의 차이가 없을 정도로 얇고 작게 패키지를 제작하는 칩 스케일 패키지(Chip Scale Package)가 요구된다.

**【발명이 이루고자 하는 기술적 과제】**

<12>              본 발명은 이와 같은 종래 요구 과제를 해결하기 위한 연구 노력의 한 결과물로서, 양면 플립 칩 공정을 적용하여 표면실장 패키지 모듈의 칩 스케일 패키지를 실현하도록 한 패키징 방법을 제공하는 데 그 목적이 있다.

<13>              이와 같은 목적을 실현하기 위한 본 발명에 따른 반도체용 멀티 칩 모듈의 패키징 방법은, 웨이퍼 뱀프가 형성된 제 1 칩을 내부 리드와 외부 리드가 형성된 TAB(Tape Automated Bonding) 테이프의 상기 내부 리드 하단에 전기적 신호가 도통되도록 연결하는 단계와, 웨이퍼 뱀프가 형성된 제 2 칩을 상기 제 1 칩과 연결된 상기 TAB 테이프의 상단에 전기적 신호가 도통되도록 플립 칩 공정으로 연결하는





단계와, 상기 TAB 테이프와 상기 칩의 연결 부위에 언더필 재료의 주입을 통한 인캡슐레이션 공정을 수행하는 단계를 포함한다.

### 【발명의 구성】

<14>           본 발명의 실시예로는 다수개가 존재할 수 있으며, 이하에서는 첨부한 도면을 참조하여 바람직한 실시예에 대하여 상세히 설명하기로 한다. 이 실시예를 통해 본 발명의 목적, 특징 및 이점들을 보다 잘 이해할 수 있게 된다.

<15>           본 발명에 따른 반도체용 멀티 칩 모듈의 패키징 과정을 도 1 내지 도 6을 참조하여 설명하면 다음과 같다.

<16>           도 1을 참조하면, 웨이퍼 상태에서 드라이 필름 레지스트(dry film resist) 공정을 통해 전면의 본드 패드에 웨이퍼 범프(bump)(111)를 형성시킨다. 웨이퍼 범프는 칩과 외부 단자를 연결해주는 매개체의 역할을 수행할 것이다.

<17>           그리고, 베이스 필름(base film)(121) 상단에 접착제를 도포하고 그 상단에 금속 포일(예: copper foil)(122)을 접착하며, 금속 포일(122)을 에칭하여 패턴을 형성시켜서 내부 리드(122a)와 외부 리드(122b)가 형성된 TAB(Tape Automated Bonding) 테이프(120)를 제조한다.

<18>           아울러, 웨이퍼 범프(111)가 형성된 웨이퍼를 고속으로 회전하는 다이아몬드 블레이드(Diamond Blade)를 이용하여 절단하여 웨이퍼 상의 많은 칩들을 개별의 반도체 칩으로 분리한다.

<19>           상기와 같은 사전 공정을 수행한 이후에 칩 스케일 패키지를 위하여 아래와 같이 어셈블리를 진행한다.



<20> 먼저, 제 1 칩(110)을 외부 단자와 연결하기 위해 갱 본딩(gang bonding) 또는 싱글 포인트 본딩(single point bonding) 방법을 이용하여 TAB 테이프(120)의 내부 리드(122a) 하단에 웨이퍼 범프(111)가 형성된 제 1 칩(110)을 전기적 신호가 도통되도록 연결한다. 일례로 갱 본딩 방법을 이용하는 경우, 제 1 칩(110)의 웨이퍼 범프(111) 전면에 TAB 테이프(120)의 내부 리드(122a) 부분을 히팅 툴(Heating tool)로 한번에 본딩하여 연결한다.

<21> 도 2를 참조하면, 웨이퍼 범프(131)가 형성된 제 2 칩(130)을 외부 단자와 연결하기 위해 제 1 칩(110)과 연결된 TAB 테이프(120)의 상단에 제 2 칩(130)을

<22> 플립 칩 공정을 적용하여 연결한다. 상술하면, 베이스 필름(121) 하단에 금속 포일(122)로 회로를 형성한 TAB 테이프(120)의 상단에 마운팅 툴(Mounting tool)을 이용하여 웨이퍼 범프(131)가 형성된 제 2 칩(130)을 설치하며, TAB 테이프(120)와 제 2 칩(130)이 전기적 신호가 도통될 수 있도록 히팅 툴을 이용하여 제 2 칩(130)의 웨이퍼 범프(131) 전면에 TAB 테이프(120)의 내부 리드(122a)를 한번에 본딩하여 연결한다.

<23> 도 3을 참조하면, TAB 테이프에 연결된 칩을 보호하기 위하여 주사기를 이용하여 TAB 테이프(120)와 칩(110, 130)의 연결 부위에 언더필(Underfill) 재료(예: 에폭시 수지, 실리콘 수지 등)(140)를 골고루 충전시키고 경화(Cure)시켜 완성시키는 언더필 주입을 통한 인캡슐레이션(Encapsulation) 공정을 수행한다. 이로서 칩 내부의 내구성 및 신뢰성이 향상되고 충전제에 의해 내부 산화 및 부식 오염이 방지된다.

- <24>           도 4를 참조하면, TAB 테이프(120)의 외부 리드(122b)를 PCB 기판(150) 또는 패턴된 기타 부위에 본딩하여 실장하며, 칩(110, 130)의 온도 상승을 방지하기 위하여 칩(130)의 상면에 열전도성 접착제를 도포하여 내부에서 형성되는 열을 외부로 발산하는 방열체(160)를 부착한다. 이로서 멀티 칩 모듈이 완성되는 것이다.
- <25>           한편, 상기와 같이 제작하는 멀티 칩 모듈에는 추가적으로 다수의 칩을 패키징할 수 있으며, 이러한 예를 도 5 및 도 6에 나타내었다.
- <26>           도 5를 참조하면, 방열체(160) 상면에 열전도성 접착제를 도포한 후 그 상부에 웨이퍼 범프(171)가 형성된 제 3 칩(170)을 부착한다.
- <27>           그리고, 제 3 칩(170)을 제 1 칩(110) 및 제 2 칩(130)과 연결하기 위하여 제 3 칩(170)의 웨이퍼 범프(171) 일부면에 제 1 칩(110) 및 제 2 칩(130)과 연결된 TAB 테이프(120)의 외부 리드(122b) 부분을 히팅 툴로 한번에 본딩하여 연결한다.
- <28>           아울러, 제 3 칩(170)을 외부 단자와 연결하기 위해 제 3 칩(170)의 웨이퍼 범프(171) 나머지면에 새로운 TAB 테이프(180)의 내부 리드 부분을 히팅 툴로 한번에 본딩하여 연결한다.
- <29>           이후, 도 2 내지 도 4를 참조하여 설명한 공정과 동일한 과정을 수행하여 웨이퍼 범프(191)가 형성된 제 4 칩(190)을 제 3 칩(170)과 연결된 TAB 테이프(120, 180)의 상단에 플립 칩 공정을 적용하여 연결하며, 언더필 재료(140)의 주입을 통한 인캡슐레이션 공정을 수행하고, 제 4 칩(190)의 상면에 열전도성 접착제를 도포하여 방열체(160)를 부착한다.

<30> 도 6은 도 5의 멀티 칩 모듈에 제 5 칩과 제 6 칩을 연결한 패키지로서, 상기의 공정 설명으로부터 충분히 이해될 수 있는 공정에 해당하므로 그 상세 설명은 생략하기로 한다.

<31> 한편, 도 4와 도 5에서는 TAB 테이프(120, 180)가 PCB 기판(150)과 비접촉 상태로 도시되어 있지만 이는 다음 도면에 나타낸 다음 공정과의 연결성을 고려한 것으로서 해당 도면의 공정에서 패키징이 완료될 경우에는 TAB 테이프(120, 180)의 외부 리드가 PCB 기판(150)에 본딩된다.

<32> 상기에서는 본 발명의 일 실시예에 국한하여 설명하였으나 본 발명의 기술이 당업자에 의하여 용이하게 변형 실시될 가능성이 자명하다. 이러한 변형된 실시예들은 본 발명의 특허청구범위에 기재된 기술사상에 포함된다고 하여야 할 것이다.

#### 【발명의 효과】

<33> 전술한 바와 같이 본 발명은 양면 플립 칩 공정을 적용하여 표면실장 패키지 모듈의 칩 스케일 패키지가 실현 가능하며, 칩 내부 열을 외부로 발산시킬 수 있다.

<34> 아울러, 칩의 모든 본드 패드를 한번에 본딩할 수 있으므로 기존 여러 단계의 공정이 단축되며, 테이프 상태에서 전기적 테스트 및 B/I 테스트가 가능하여 수율이 향상된다.

<35> 또한, 내부 리드의 다핀화 및 파인 피치(Fine Pitch)화가 가능한 효과가 있다.

【특허 청구범위】

【청구항 1】

웨이퍼 범프가 형성된 제 1 칩을 내부 리드와 외부 리드가 형성된 TAB 테이프의 상기 내부 리드 하단에 전기적 신호가 도통되도록 연결하는 단계와,

웨이퍼 범프가 형성된 제 2 칩을 상기 제 1 칩과 연결된 상기 TAB 테이프의 상단에 전기적 신호가 도통되도록 플립 칩 공정으로 연결하는 단계와,

상기 TAB 테이프와 상기 칩의 연결 부위에 언더필 재료의 주입을 통한 인캡슐레이션 공정을 수행하는 단계를 포함하는 반도체용 멀티 칩 모듈의 패키징 방법.

【청구항 2】

제 1 항에 있어서,

상기 제 2 칩의 상부에 웨이퍼 범프가 형성된 제 3 칩을 부착하는 단계와,

상기 제 3 칩의 상기 웨이퍼 범프 일부면에 상기 TAB 테이프의 외부 리드를 본딩하여 연결하는 단계와,

상기 제 3 칩의 웨이퍼 범프 나머지면에 내부 리드와 외부 리드가 형성된 새로운 TAB 테이프의 내부 리드 부분을 본딩하여 연결하는 단계와,

웨이퍼 범프가 형성된 제 4 칩을 상기 두 TAB 테이프의 상단에 플립 칩 공정으로 연결하는 단계와,

상기 두 TAB 테이프와 상기 제 3 칩 및 제 4 칩의 연결 부위에 언더필 재료의 주입을 통한 인캡슐레이션 공정을 수행하는 단계를 더 포함하는 반도체용 멀티 칩 모듈의 패키징 방법.

**【청구항 3】**

제 1 항 또는 제 2 항에 있어서,

상기 제 1 칩에 연결된 TAB 테이프의 외부 리드를 패턴된 회로에 본딩하여  
실장하는 단계를 더 포함하는 반도체용 멀티 칩 모듈의 패키징 방법.

**【청구항 4】**

제 1 항 또는 제 2 항에 있어서,

상기 제 2 칩의 상면에 열전도성 접착제를 도포하여 방열체를 부착하는 단계  
를 더 포함하는 반도체용 멀티 칩 모듈의 패키징 방법.

**【청구항 5】**

제 1 항 또는 제 2 항에 있어서,

상기 칩과 상기 TAB 테이프는 갱 본딩(gang bonding) 또는 싱글 포인트  
본딩(single point bonding)으로 연결하는 것을 특징으로 한 반도체용 멀티 칩 모  
듈의 패키징 방법.

**【청구항 6】**

제 5 항에 있어서,

상기 칩과 상기 TAB 테이프는 상기 칩의 웨이퍼 범프 전면에 상기 TAB 테이  
프의 내부 리드를 본딩하여 연결하는 것을 특징으로 한 반도체용 멀티 칩 모듈의  
패키징 방법.

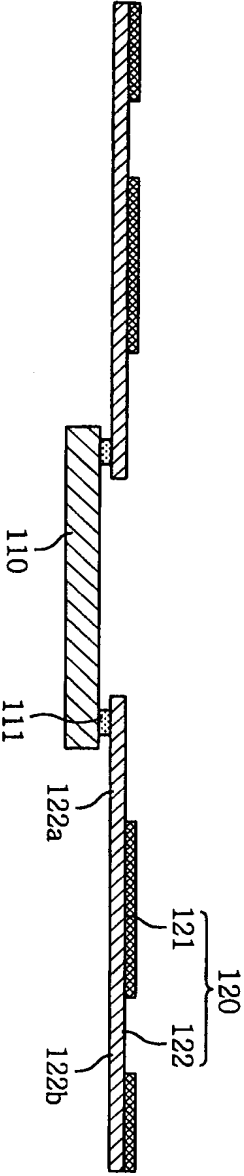
**【청구항 7】**

제 2 항에 있어서,

상기 제 3 칩과 제 4 칩을 위한 패키징 과정과 동일한 과정에 의하여 웨이퍼  
범프가 형성된 복수의 칩과 내부 리드와 외부 리드가 형성된 복수의 새로운 TAB 테  
이프를 상기 제 4 칩의 상부에 적층하는 단계를 더 포함하는 반도체용 멀티 칩 모  
듈의 패키징 방법.

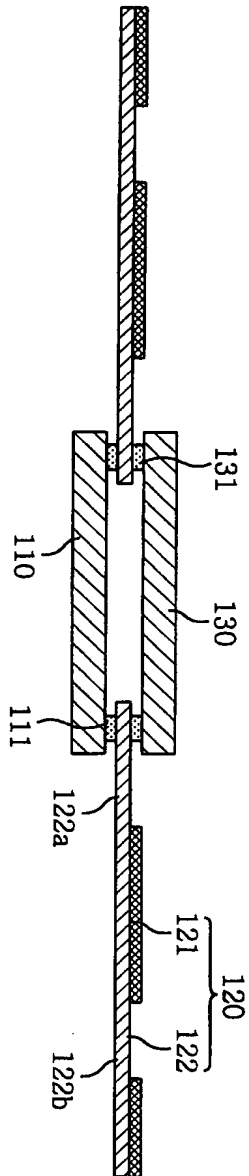
【도면】

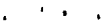
【도 1】



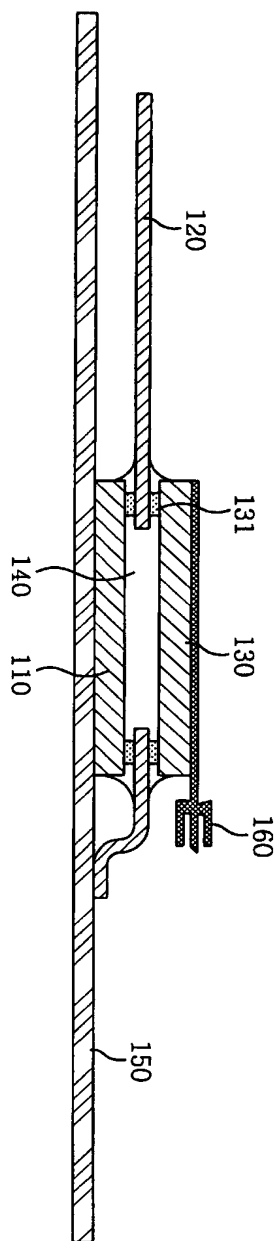


【도 2】

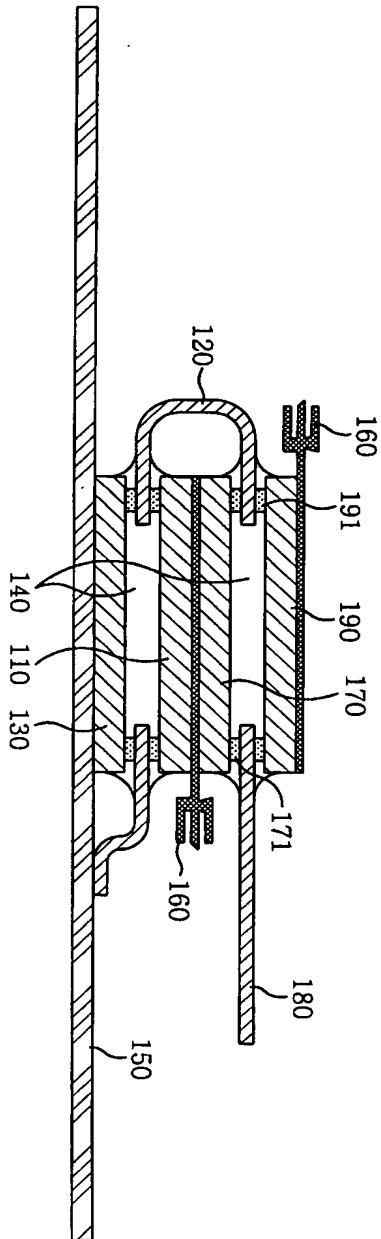




【図 4】



【도 5】



【도 6】

